

半導体生産工程におけるスケジューリングについて

01206090 (株)東芝 研究開発センター 坂本 英夫 SAKAMOTO Hideo

1 はじめに

半導体生産工程は、最も規模が大きく、複雑なジョブショップ型生産工程の一つである。高度な加工技術が必要であるため、巨額な設備投資がかかる。製造原価を抑えるために、スループット最大となる選用が求められている。また、ICの高集積化により、工期が長くなる傾向にある。工期が長くなると、市場への参入のタイミングを逸したり、市場のニーズに応えることができなくなる恐れがある。そのため、ある程度スループットを維持しながら、工期を短縮することが求められている。他の分野と同様に、この数年間、スケジューリング理論が注目を集めている。しかし、画期的なスケジューリング理論は発表されていない。本稿で提案する手法は、Least Slack法の一つであり、現場への適応が容易なことが特徴である。

2 半導体生産工程

半導体生産工程は、ウェハ工程(前工程)と組み立て工程(後工程)に大きく分けることができる。ウェハ工程では、ウェハというシリコンの丸い板にチップと呼ばれる集積回路を数十個~数百個作る。組み立て工程では、ウェハをチップに切り分けて電気製品に組み込める形にする。

典型的な半導体生産工程は、ほぼジョブショップ型に構成され、複数の品種を並行して生産している。例えば、DRAMで数十種類、ASICで数千種類を同時に生産する。1~50枚程度のウェハを1組にして1つのロットを構成する。ロット単位で工程の中を移動する。

1つのクリーンルーム内には製造装置(マシン)が100~300台あり、それらは約40~100の装置群(マシン群)に分かれている。マシン群は、同じ処理のできる1つ以上のマシンからなる。1つのマシン群がほぼ1つのジョブショップに対応する。複数のマシン群に所属するマシンもある。

現在、典型的な量産工程で月産500~1500ロットのスループットがあり、工程残が1000~1500ロットある。待ち行列理論の基本公式Littleの公式から工期がだいたい求まる。

$$\text{平均工期} = \text{平均工程残} \div \text{スループット} \quad (1)$$

上式より、工期は、およそ1.5~3ヶ月である。試作ラインではスループットが100~200ロット程度と小さい。少量生産であり、工期はやや長く3ヶ月以上になるものが多い。純粋な処理時間の和と工期との比は、2.5~10ぐらいである。多品種少量生産のラインで、この比が長くなる傾向にある。

品種ごとにロットが完成までに巡る工程が決まっている。ウェハ工程においてはだいたい100~500工程を経て完成する。ロットは、完成するまでに同一マシン群を複数回訪れる。

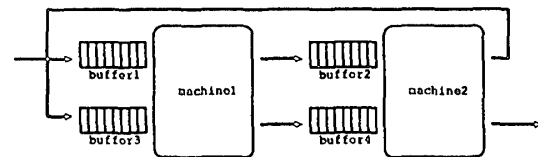


図1: 簡単なモデル

3 スケジューリング手法

半導体生産工程を対象としたスケジューリング研究は、以下の4種類に分類できる。

1. ディスパッチングルール
2. 投入ルール
3. ロット編成ルール
4. 段取りルール

本稿では、ディスパッチングルールを中心に述べる。

3.1 これまでの研究

半導体生産工程を対象とした研究は、注目され始めてから10年程しか経過していない研究分野である。この数年間で、いくつかの論文が発表されている。Hein [1]は13種類のディスパッチングルールと4種類の投入ルールを組み合わせ、工期への影響を評価している。Ehteshami, et al. [2]は特急ロットの影響について考察している。Lu and

Kumar [3] と Lu, et al. [4] も工期を最小にするディスパッチングルールについて検討している。特に、[4] では、[1] で使われたモデルを用いて両者の比較を行なっている。また、Uzsoy, et al. [5, 6] では、広範囲にわたるサーベイが行なわれている。

3.2 LS 法

代表的なディスパッチングルールの中に、Least Slack (LS) 法 [3, 4] がある。本稿で提案する手法は、LS 法の一つである。ロットに付けられている納期と払出時刻とのずれのばらつきを少なくする手法である。また、他の LS 法と比較して、必要となるデータが少なく、計算時間も短いことが利点である。いずれも現場へ普及させるために不可欠なことである。

品種数が N 種類あり、品種 i の 工程数が L_i 工程あるとする。マシン群の前には、品種工程別の buffer が存在すると仮定する。品種 i の j 番目の工程の buffer を b_{ij} ($i = 1, \dots, N, j = 1, \dots, L_i$) とする。(平均) 処理時間を p_{ij} とする。また、払出工程までの残り工期を β_{ij} とする。

ロット x の納期を $d(x)$ とする。また、払出時刻を $e(x)$ とする。納期と払出時刻とのずれは $l(x) = e(x) - d(x)$ と表すことができる。

ロット x は b_{ij} で処理を待っているとすると、 t を現在時刻とすると、 $d(x) - t - \beta_{ij}$ はロット x の余裕度を表す。余裕度が小さいほど、納期に間に合わない可能性が高いので、余裕度が最も小さなロットを優先すれば良い。 t はどのロットでも一律に引かれているので、ロット x の余裕度 $s(x)$ を以下のようにする。

$$s(x) = d(x) - \beta_{ij} \quad (2)$$

$s(x)$ が小さいほど、ロットの優先度は高くなる。 $s(x)$ の定義式 (2) より、全てのロットについて、納期とのずれが同じ傾向を示すことは明らかである。つまり、納期と払出時刻とのずれのばらつきを少なくする。

実際に、この $s(x)$ を優先係数として使うためには問題がある。どのようにして残り工期 β_{ij} を推測するかである。本稿では、 β_{ij} を推測するために、工期と処理時間の和との比を使っている。工期と処理時間の和との比 γ が与えられ、 β_{ij} は以下の式のように表せると仮定する。

$$\begin{aligned} \beta_{ij} &= \gamma \sum_{k=j}^{L_i} p_{ik} \\ &= \sum_{k=j}^{L_i} \gamma p_{ik} \end{aligned} \quad (3)$$

β_{ij} が (3) のように表せると、

$$\begin{aligned} s_{ij+1}(x) - s_{ij}(x) &= \beta_{ij} - \beta_{ij+1} \\ &= \gamma p_{ij} \end{aligned} \quad (4)$$

となる。 $s(x)$ の更新は、工程での処理が終了する時点で、その工程の予測工期である γp_{ij} を加えるだけである。シミュレーションを実行する時には、工程での処理が終了して次工程へ移動する時に更新すれば良い。

γ を使って β_{ij} を推定する方法の利点は、簡単なことである。必要な情報は、 γ と p_{ij} だけである。また、 β_{ij} のために特別な計算を必要としない。 $s(x)$ の更新も容易である。実際に現場へ適応するためには、必要となるデータが少ないことや計算時間が短いことは重要である。

4 おわりに

今後の課題は、 γ としてどのような意図でどのような値を使うかである。一つは生産工程の現状から求める方法がある。工程残とスループットから工期を求め、 γ を求める。この方法は、現在の工程残の水準を肯定する、という考え方が背景にある。別の考え方として、目標値として γ を与える方法もある。 γ をコントロール変数として利用する、という考え方である。そのためには、 γ の変化が、どのような影響を与えるか検討する必要がある。

参考文献

- [1] L. M. Wein. Scheduling semiconductor wafer fabrication. *IEEE Trans. Semicond. Manuf.*, Vol. 1, No. 3, pp. 115-130, 1988.
- [2] B. Ehteshami, R.G. Petrakian, and P.M. Shabe. Trade-offs in cycle time management: hot lots. *IEEE Trans. Semicond. Manuf.*, Vol. 5, No. 2, pp. 101-106, 1992.
- [3] S. H. Lu and P. R. Kumar. Distributed scheduling based on due dates and buffer priorities. *IEEE Trans. Automat. Contr.*, Vol. 36, No. 12, pp. 1406-1416, 1991.
- [4] S.C.H. Lu, D. Ramaswamy, and P.R. Kumar. Efficient scheduling policies to reduce mean and variance of cycle-time in semiconductor manufacturing plants. *IEEE Trans. Semicond. Manuf.*, Vol. 7, No. 3, pp. 374-388, 1994.
- [5] R. Uzsoy, C.Y. Lee, and L.A. Martin-Vega. A review of production planning and scheduling models in the semiconductor industry. i. system characteristics, performance evaluation and production planning. *IIE Trans. Scheduling and Logistics*, Vol. 24, No. 4, pp. 47-61, 1992.
- [6] R. Uzsoy, C.Y. Lee, and L.A. Martin-Vega. A review of production planning and scheduling models in the semiconductor industry. ii. shop-floor control. *IIE Trans. Scheduling and Logistics*, Vol. 26, No. 5, pp. 44-55, 1994.